

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: TAKAO HONDA

Docket: 17454

Serial No: Unassigned

Dated: February 18, 2004

Filed: Herewith

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2003-039623 filed on February 18, 2003.

Respectfully submitted,



Paul J. Esatto, Jr.
Registration No. 30,749


Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:eg

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

"Express Mail" Mailing Label Number: EV-244-125-061-US
Date of Deposit: February 18, 2004.

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1430, Alexandria, VA 22313-1450.

Dated: February 18, 2004



Paul J. Esatto, Jr.

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 9 6 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 9 6 2 3]

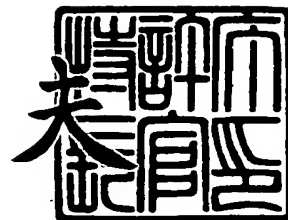
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):



2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 6 5 1 3

【書類名】 特許願

【整理番号】 71110563

【提出日】 平成15年 2月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/096

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 本田 孝夫

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216444

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路と、前記クロック同期式回路に前記基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、

前記クロックバッファ回路は、

前記クロック同期式回路が同期動作しない前記基準クロックの一方のエッジで負荷をドライブする、前記基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第 1 のトランジスタ、及び前記クロック同期式回路が同期動作する前記基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が前記第 1 のトランジスタと異なる、前記第 1 のトランジスタよりも大きなゲート幅で形成された第 2 のトランジスタを備えたインバータを有する半導体集積回路装置。

【請求項 2】 前記第 1 のトランジスタは P チャンネル電界効果型トランジスタであり、

前記第 2 のトランジスタは N チャンネル電界効果型トランジスタであり、

前記クロック同期式回路は前記基準クロックの立下りエッジに同期して動作する請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置される初段インバータを有する請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置され、イネーブル信号にしたがつ

て前記インバータに前記基準クロックを供給するゲート回路を有する請求項 1 または 2 記載の半導体集積回路装置。

【請求項 5】 前記ゲート回路は、NANDゲートである請求項 4 記載の半導体集積回路装置。

【請求項 6】 前記クロックバッファ回路を用いて構成されたクロックツリーシンセシスを有する請求項 1 乃至 5 のいずれか 1 項記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式の回路を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】

ASIC (Application Specific Integrated Circuit) 等の半導体集積回路装置では、基準クロックに同期して動作する複数のフリップフロップ (以下、F/F と称す) 等を備えたクロック同期式回路が形成されている場合、各 F/F には基準クロックを分配するための複数のクロックバッファ回路を用いて基準クロックが供給される。

【0003】

図 7 は従来の半導体集積回路装置が備えるクロックバッファ回路の構成を示す回路図であり、図 8 は図 7 に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図 9 は図 7 に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【0004】

図 7 に示すように、従来のクロックバッファ回路は、ゲートどうし及びドレインどうしが接続された P チャネル電界効果型トランジスタ (以下、P チャネルトランジスタと称す) 51 及び該 P チャネルトランジスタ 51 とチャンネル中で利用

するキャリアの種類が異なるNチャネル電界効果型トランジスタ（以下、Nチャネルトランジスタと称す）52から構成される、基準クロックがそれぞれのゲートから入力される第1のインバータ5と、ゲートどうし及びドレインどうしが接続されたPチャネルトランジスタ61及びNチャネルトランジスタ62から構成される、負荷をドライブする第2のインバータ6とを有する構成である。Pチャネルトランジスタ51、61のソースはそれぞれ電源VDDに接続され、Nチャネルトランジスタ52、62のソースはそれぞれ接地電位GNDに接続されている。

【0005】

従来のクロックバッファ回路は、ASIC等で汎用的に用いることを前提としているため、基準クロックの立ち上がりエッジに同期して動作するクロック同期式回路、あるいは立下りエッジに同期して動作するクロック同期式回路のどちらにも対応できるように、入力された基準クロックと同様の波形を出力する。例えば、デューティ50%の基準クロックが入力された場合、クロックバッファ回路は、図8に示すように立ち上がり時間と立下り時間の遅延量がほぼ等しく、かつ立ち上がりエッジと立下りエッジとがそれぞれ入力波形と同様形状のデューティ50%のパルス列を出力する。

【0006】

そのため、従来のクロックバッファ回路では、各インバータのPチャネルトランジスタがNチャネルトランジスタよりも大きなサイズで形成されている。すなわち、PチャネルトランジスタがNチャネルトランジスタよりも広いゲート幅で形成されている。具体的には、図7に示すように、前段に配置される第1のインバータ5は、ゲート幅 $W_p = 8.472 \mu m$ のPチャネルトランジスタ51と、ゲート幅 $W_n = 2.82 \mu m$ のNチャネルトランジスタ52とによって形成され、後段に配置される第2のインバータ6は、ゲート幅 $W_p = 16.944 \mu m$ のPチャネルトランジスタ61と、ゲート幅 $W_n = 6.24 \mu m$ のNチャネルトランジスタ62とによって形成される。このとき、第1のインバータ5のトランジスタサイズ比は $W_p/W_n = 3.00$ となり、第2のインバータ6のトランジスタサイズ比は $W_p/W_n = 2.72$ となる。これは、トランジスタサイズが等し

いとき、Pチャネルトランジスタの方がNチャネルトランジスタよりも駆動能力が低いことに起因して採られる処置である。

【0007】

従来の半導体集積回路装置においては、上記クロックバッファ回路50を用いて図9に示すようなクロックツリーシンセシス（以下、CTSと称す）を構成することで、クロック同期式回路が備える複数の F/F にデューティ比及びスキューが等しいクロックをそれぞれ分配していた。図9は、CTSに基準クロックの立ち上がりエッジで動作する `posedge F/F60` が接続される例を示している。

【0008】

なお、半導体集積回路装置における信号の高速伝搬を目的として、CMOS回路のPチャネルトランジスタとNチャネルトランジスタのサイズ比を非対称にする構成が、例えば、特許文献1で提案されている。

【0009】

【特許文献1】

特開平8-181596号

【0010】

【発明が解決しようとする課題】

近年の半導体集積回路装置は、携帯電話機やPDA等の移動端末でも用いられるため、処理の高速化と共に消費電力の低減がより一層求められている。

【0011】

しかしながら、上記したような従来の半導体集積回路装置では、クロックバッファ回路のPチャネルトランジスタがNチャネルトランジスタよりも大きなサイズで形成されているため（通常2～3倍程度）、ゲート容量が増大してクロックバッファ回路の入力容量が大きくなる。

【0012】

したがって、従来のクロックバッファ回路を用いて上記CTSを構成すると、入力容量が大きいクロックバッファ回路がその前段のクロックバッファ回路の負荷となるため、負荷として接続可能なクロックバッファ回路の数が制限され、結

果としてCTSを構成するクロックバッファ回路の数が増える。そのため、基準クロックによるスイッチング動作でCTSに流れる充放電電流が増大し、半導体集積回路装置全体の消費電流が増大する問題があった。

【0013】

特に、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路の場合、上記従来のクロックバッファ回路を用いてCTSを構成すると、不要な基準クロックのエッジで、大きなサイズのPチャネルトランジスタにより後段の回路をドライブすることになるため、CTSの消費電流が必要以上に増大する問題があった。

【0014】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、CTSに流れる充放電電流を低減して回路全体の消費電流を低減した半導体集積回路装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記目的を達成するため本発明の半導体集積回路装置は、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路と、前記クロック同期式回路に前記基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、

前記クロックバッファ回路は、

前記クロック同期式回路が同期動作しない前記基準クロックの一方のエッジで負荷をドライブする、前記基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及び前記クロック同期式回路が同期動作する前記基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が前記第1のトランジスタと異なる、前記第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有する構成である。

【0016】

このとき、前記第1のトランジスタはPチャネル電界効果型トランジスタであ

り、

前記第 2 のトランジスタは N チャンネル電界効果型トランジスタであり、

前記クロック同期式回路は前記基準クロックの立下りエッジに同期して動作する構成が好ましい。

【0 0 1 7】

また、前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置される初段インバータ、または、

前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置され、イネーブル信号にしたがって前記インバータに前記基準クロックを供給するゲート回路を有していてもよい。

【0 0 1 8】

また、前記クロックバッファ回路を用いて構成されたクロックツリーシンセシスを有していてもよい。

【0 0 1 9】

上記のように構成された半導体集積回路装置では、クロックバッファ回路に、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第 1 のトランジスタ、及びクロック同期式回路が同期動作する基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が第 1 のトランジスタと異なる、第 1 のトランジスタよりも大きなゲート幅で形成された第 2 のトランジスタを備えたインバータを有することで、第 1 のトランジスタのサイズを従来よりも小さくできるため、該インバータの入力容量を低減することができる。

【0 0 2 0】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0021】

(第1の実施の形態)

図1は本発明の半導体集積回路装置の第1の実施の形態が備えるクロックバッファ回路の構成を示す回路図であり、図2は図1に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図3は図1に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【0022】

本実施形態のクロックバッファ回路は、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路に適用する構成であり、CTSを構成する各クロックバッファ回路について、同期動作しない基準クロックのエッジでドライブするトランジスタのサイズを小さく形成し、クロックバッファ回路の入力容量を低減した構成である。

【0023】

図1に示すように、第1の実施の形態のクロックバッファ回路は、従来と同様に、ゲートどうし及びドレインどうしが接続されたPチャネルトランジスタ11及びNチャネルトランジスタ12から構成される、基準クロックがそれぞれのゲートから入力される第1のインバータ1と、ゲートどうし及びドレインどうしが接続されたPチャネルトランジスタ21及びNチャネルトランジスタ22から構成される、負荷をドライブする第2のインバータ2とを有する構成である。Pチャネルトランジスタ11、21のソースはそれぞれ電源VDDに接続され、Nチャネルトランジスタ12、22のソースはそれぞれ接地電位GNDに接続されている。

【0024】

一般に、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路においては、同期動作しない立ち上がりエッジまたは立下りエッジが急峻に変化しなくても回路動作に影響を及ぼすことは無い。したがって、基準クロックの波形が、複数のゲート回路（クロックバッ

ファ) を通過することで消失しない範囲内で、同期動作しない立ち上がりエッジまたは立下りエッジを鈍らせる（立ち上がり時間または立下り時間が長い）ことができる。

【0025】

本実施形態のクロックバッファ回路は、立下りエッジのみに同期して動作するクロック同期式回路で用いることを前提として、クロックバッファ回路は、図2に示すように立ち上がりエッジが鈍り、立下りエッジが従来と同様に急峻に変化するパルスを出力する。

【0026】

そのため、本実施形態のクロックバッファ回路では、同期動作しない立ち上がりエッジで負荷をドライブする第2のインバータ2のPチャネルトランジスタ21のサイズを小さくし、同期動作する立ち下がりエッジで負荷をドライブするNチャネルトランジスタ22のサイズを従来と同程度にする。また、第1のインバータ1のPチャネルトランジスタ11及びNチャネルトランジスタ12は、第2のインバータ2のPチャネルトランジスタ21のサイズの低下に合わせてそれぞれのサイズを小さくする。すなわち、第1のインバータ1の各トランジスタは第2のインバータ2の入力容量に基づいてゲート幅を適正に設定し、Pチャネルトランジスタ11のゲート幅 W_p をNチャネルトランジスタ12のゲート幅 W_n よりも広く形成し（ $W_p > W_n$ ）する。また、後段に配置される第2のインバータ2は、Pチャネルトランジスタ21のゲート幅 W_p をNチャネルトランジスタ22のゲート幅 W_n 以下（ $W_p \leq W_n$ ）に形成する。このとき、Pチャネルトランジスタ21のゲート幅 W_p の下限値は上記パルス消失等が起きない値とする。

【0027】

具体的には、図1に示すように、第1のインバータ1は、ゲート幅 $W_p = 4.24 \mu m$ のPチャネルトランジスタ11と、ゲート幅 $W_n = 2.6 \mu m$ のNチャネルトランジスタ12とによって形成され、第2のインバータ2は、ゲート幅 $W_p = 6.36 \mu m$ のPチャネルトランジスタ21と、ゲート幅 $W_n = 6.5 \mu m$ のNチャネルトランジスタ22とによって形成される。このとき、第1のインバータ1のトランジスタサイズ比は $W_p / W_n = 1.63$ となり、第2のインバー

タ 2 のトランジスタサイズ比は $W_p/W_n = 0.98$ となる。

【0028】

本実施形態では、このような 2 つのインバータから構成されるクロックバッファ回路 10 を用いて図 3 に示すような CTS を構成する。図 3 に示すように、本実施形態では、立下りエッジのみに同期して動作するクロック同期式回路で用いるため、CTS にはクロックの立下りエッジで動作する $negedge\ F/F20$ 等が接続される。これらの F/F には、基準クロックの立下りエッジを基準にして遅延量及びスキュー等が調整されたクロックが CTS からそれぞれ供給される。

【0029】

本実施形態の半導体集積回路装置によれば、クロックバッファ回路の最終段のインバータ（本実施形態では第 2 のインバータ）の P チャネルトランジスタのサイズを小さくすることで、その前段のインバータ（本実施形態では第 1 のインバータ）でドライブすべき負荷容量が小さくなるため、前段のインバータのトランジスタサイズもそれに合わせて小さくすることが可能になり、クロックバッファ回路の入力容量を小さくすることができる。そして、このクロックバッファ回路を用いて CTS を構成することで、前段のクロックバッファ回路でドライブすべき負荷容量が小さくなるため、従来の CTS に比べてクロックバッファ回路の数を低減できる。よって、CTS のスイッチング動作による充放電電流が低減され、CTS の消費電流が低減される。

【0030】

CTS は、半導体集積回路装置内に形成される回路の中で動作率が最も高く、また CTS に使用されるクロックバッファ回路の数は数百個以上となる。したがって、CTS のスイッチング動作による充放電電流は半導体集積回路装置回路全体の消費電流に対する占める割合が大きい。したがって、本実施形態のように CTS の消費電流を低減すれば半導体集積回路装置全体の消費電流を大きく低減することができる。

【0031】

また、クロックバッファ回路の各インバータのトランジスタサイズを小さくす

ることで、クロックバッファ回路自身の消費電流が低減し、レイアウト面積も小さくできる。

【0032】

本実施形態を、例えばゲート長が $160\mu\text{m}$ のデザインルールで製造されるCPUコアに適用すると、表1に示すような結果が得られた。

【0033】

【表1】

	本発明のクロックバッファ	従来のクロックバッファ	減少率	備考
レイアウト面積 [$\mu\text{m} \times \mu\text{m}$]	6.72×5.04 (12Grid)	8.4×5.04 (15Grid)	80[%] (-3Grid)	
入力容量[pF]	0.00974	0.016	60.8[%]	
単体電力(1トグル) [mW]	0.102	0.167	61.4[%]	入力波形鈍り: 0.01[nS], 出力負荷: 0.005[pF]時
CTS使用数[個]	311	548	56.8[%]	
CTS電力 (100MHz)[mW]	8.11	10.9	74.2[%]	

(参考)

クロックバッファ 遅延量(rise)[nS]	0.350	0.236	148.3[%]	入力波形鈍り: 0.4[nS],
クロックバッファ 遅延量(fall)[nS]	0.230	0.224	102.7[%]	出力負荷: 0.3[pF]時

【0034】

(第2の実施の形態)

図4は本発明の半導体集積回路装置の第2の実施の形態が備えるクロックバッファ回路の構成を示す回路図であり、図5は図4に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図6は図5に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【0035】

第2の実施の形態のクロックバッファ回路は、図4に示すように第1のインバータに代えてNANDゲート3を有する構成である。

【0036】

図4に示すように、NANDゲート3は、ゲートどうし及びドレインどうしが接続され、ゲートから基準クロックCLKが入力される第1のPチャネルトランジスタ31及び第1のNチャネルトランジスタ33と、第1のPチャネルトランジスタ31及び第1のNチャネルトランジスタ33とドレインどうしが接続され、ゲートからイネーブル信号ENが入力される第2のPチャネルトランジスタ32と、第1のNチャネルトランジスタ33のソースにドレインが接続され、第2のPチャネルトランジスタ32とゲートどうしが接続された第2のNチャネルトランジスタ34とを有する構成である。第1のPチャネルトランジスタ31のソース、及び第2のPチャネルトランジスタ32のソースはそれぞれ電源VDDに接続され、第2のNチャネルトランジスタ34のソースは接地電位GNDに接続されている。なお、ここでは、クロックバッファ回路の入力段をインバータからNANDゲート3に置き換えた例を示したが、NANDゲートではなくNORゲート等でも同様の回路を構成できる。

【0037】

第2の実施の形態のクロックバッファ回路は、イネーブル信号ENによって出力が制御される構成である。例えばデューティ50%の基準クロックが入力された場合、本実施形態のクロックバッファ回路は、イネーブル信号ENが“High”の期間、図5に示すように立ち上がりエッジを鈍らせ、立下りエッジを従来と同様に急峻に変化させたパルス列を出力する。また、イネーブル信号ENが“Low”の期間は、図5に示すように“Low”で出力を固定する。

【0038】

本実施形態のクロックバッファ回路では、NANDゲート3の第1のPチャネルトランジスタ31及び第2のPチャネルトランジスタ32、並びに第1のNチャネルトランジスタ33及び第2のNチャネルトランジスタ34は、従来のクロックバッファ回路と同様に第1のPチャネルトランジスタ31及び第2のPチャ

ネルトランジスタ 32 のゲート幅 W_p を、第 1 の N チャンネルトランジスタ 33 及び第 2 の N チャンネルトランジスタ 34 のゲート幅 W_n よりも広く形成する ($W_p > W_n$)。但し、これらのトランジスタは第 1 の実施の形態と同様に、後段のインバータ 4 の入力容量に基づいてゲート幅を適正に設定する。

【0039】

具体的には、図 4 に示すように、第 1、第 2 の P チャンネルトランジスタをゲート幅 $W_p = 4.24 \mu m$ で形成し、第 1、第 2 の N チャンネルトランジスタをゲート幅 $W_n = 2.6 \mu m$ で形成する。このとき、NAND ゲートのトランジスタサイズ比は $W_p / W_n = 1.63$ となる (図 4 参照)。

【0040】

後段のインバータ 4 は、第 1 の実施の形態の第 2 のインバータと同様に、P チャンネルトランジスタのゲート幅 W_p を N チャンネルトランジスタのゲート幅 W_n 以下 ($W_p \leq W_n$) に形成する。このとき、P チャンネルトランジスタのゲート幅 W_p の下限値は、上記パルス消滅等の問題が起きない値とする。

【0041】

本実施形態では、上記 NAND ゲート 3 及びインバータ 4 から構成されるクロックバッファ回路 30、及び第 1 の実施の形態のクロックバッファ回路 10 を用いて図 6 に示すように CTS を構成する。なお、図 6 は、第 1 のクロックイネーブル信号 $EN1$ と、第 2 のクロックイネーブル信号 $EN2$ の 2 系統の制御信号を有する回路例を示している。また、本実施形態のクロックバッファ回路も、立下りエッジのみに同期して動作するクロック同期式回路で用いるため、CTS にはクロックの立下りエッジで動作する $negedge\ F/F40$ 等が接続される。これらの F/F には、基準クロックの立下りエッジを基準にして遅延量及びスキュー等が調整されたクロックが CTS からそれぞれ供給される。

【0042】

本実施形態の半導体集積回路装置によれば、クロックイネーブル信号で出力が制御されるクロックバッファ回路であっても、第 1 の実施の形態と同様にその入力容量を小さくすることが可能であり、該クロックバッファ回路を用いて CTS を構成することで、CTS 及び半導体集積回路装置全体の消費電流を低減するこ

とができる。また、クロックバッファ回路自身の消費電流も低減し、レイアウト面積も小さくなる。

【0043】

なお、上記第1の実施の形態及び第2の実施の形態では、立下りエッジに同期して動作するクロック同期式回路に本発明のクロックバッファ回路を用いる例を示したが、本発明は立ち上がりエッジに同期して動作するクロック同期式回路に用いることも可能である。その場合、従来と同様に大きなサイズのPチャネルトランジスタと従来よりも小さなサイズのNチャネルトランジスタとによってインバータやNANDゲート等を構成すればよい。しかしながら、上述したようにPチャネルトランジスタとNチャネルトランジスタとでは、サイズが同一ならNチャネルトランジスタの方が負荷のドライブ能力が高いため、Nチャネルトランジスタで後段を急峻にドライブする構成の方がトランジスタサイズがより小さくて済む。よって、本発明のクロックバッファ回路は、立下りエッジに同期して動作するクロック同期式回路に用いた方が消費電流やレイアウト面積の低減効果をより多く得られるために好ましい。

【0044】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0045】

クロックバッファ回路に、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及びクロック同期式回路が同期動作する基準クロックの他方のエッジで負荷をドライブする、チャンネル中に流れるキャリアの種類が第1のトランジスタと異なる、第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有することで、該インバータの入力容量を低減することができる。

【0046】

したがって、クロックバッファ回路の入力段に配置される、初段インバータ、あるいはゲート回路でドライブすべき負荷容量が小さくなるため、初段インバータやゲート回路のトランジスタサイズもそれに合わせて小さくすることが可能になり、クロックバッファ回路の入力容量を小さくすることができる。そして、このクロックバッファ回路を用いてクロックツリーシンセシスを構成することで、前段のクロックバッファ回路でドライブすべき負荷容量が小さくなるため、従来のクロックツリーシンセシスに比べてクロックバッファ回路の数を低減できる。よって、クロックツリーシンセシスのスイッチング動作による充放電電流が低減され、クロックツリーシンセシスの消費電流が低減される。

【 0 0 4 7 】

さらに、クロックツリーシンセシスの消費電流を低減すれば半導体集積回路装置全体の消費電流を大きく低減することができる。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路装置の第 1 の実施の形態が備えるクロックバッファ回路の構成を示す回路図である。

【図 2】

図 1 に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図 3】

図 1 に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【図 4】

本発明の半導体集積回路装置の第 2 の実施の形態が備えるクロックバッファ回路の構成を示す回路図である。

【図 5】

図 4 に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図 6】

図 5 に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【図 7】

従来の半導体集積回路装置が備えるクロックバッファ回路の構成を示す回路図である。

【図 8】

図 7 に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図 9】

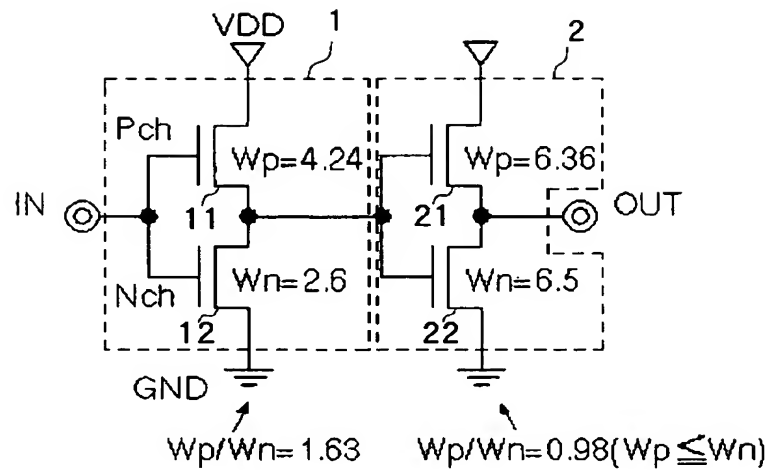
図 7 に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【符号の説明】

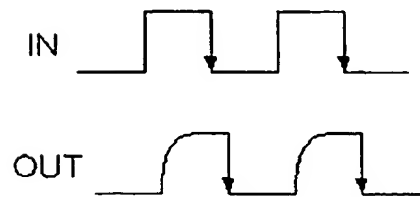
- 1 第 1 のインバータ
- 2 第 2 のインバータ
- 3 NANDゲート
- 4 インバータ
- 1 0、3 0 クロックバッファ回路
- 1 1、2 1 Pチャネルトランジスタ
- 1 2、2 2 Nチャネルトランジスタ
- 2 0、4 0 $\text{negedge } F/F$
- 3 1 第 1 の Pチャネルトランジスタ
- 3 2 第 2 の Pチャネルトランジスタ
- 3 3 第 1 の Nチャネルトランジスタ
- 3 4 第 2 の Nチャネルトランジスタ

【書類名】 図面

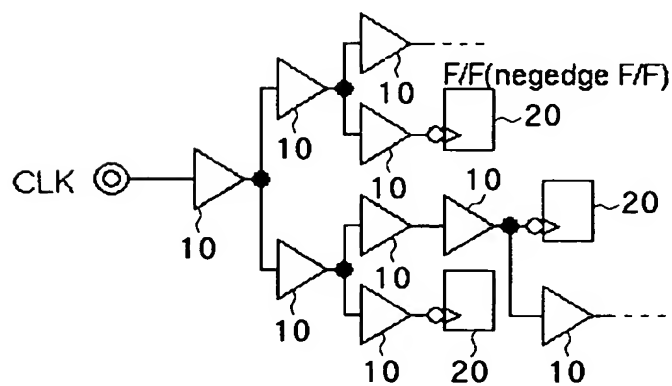
【図 1】



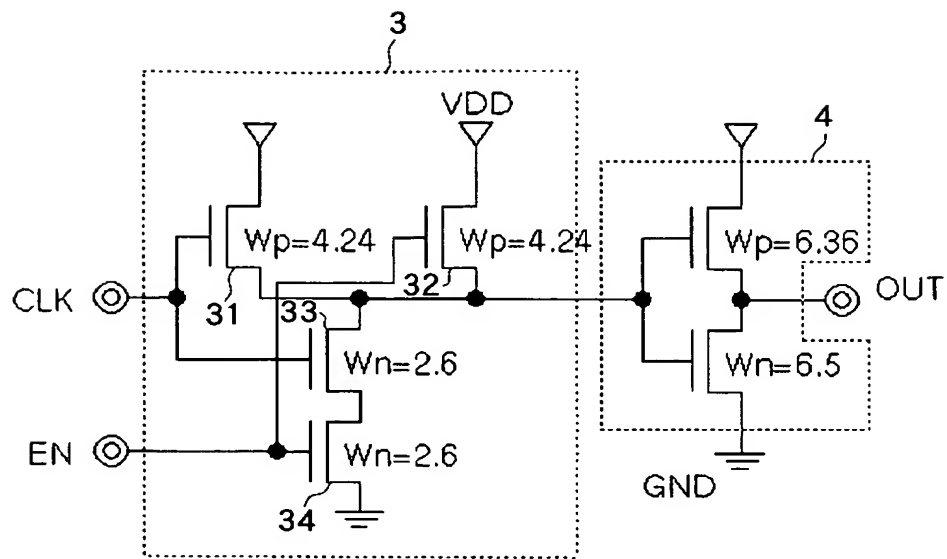
【図 2】



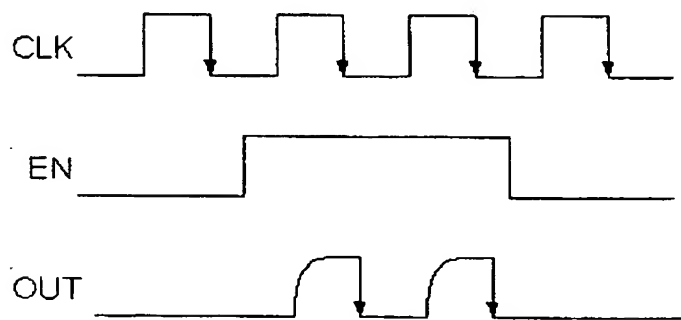
【図 3】



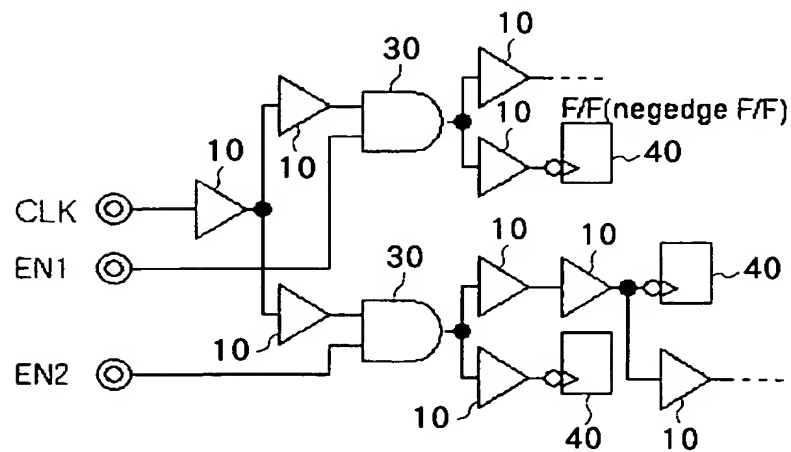
【図 4】



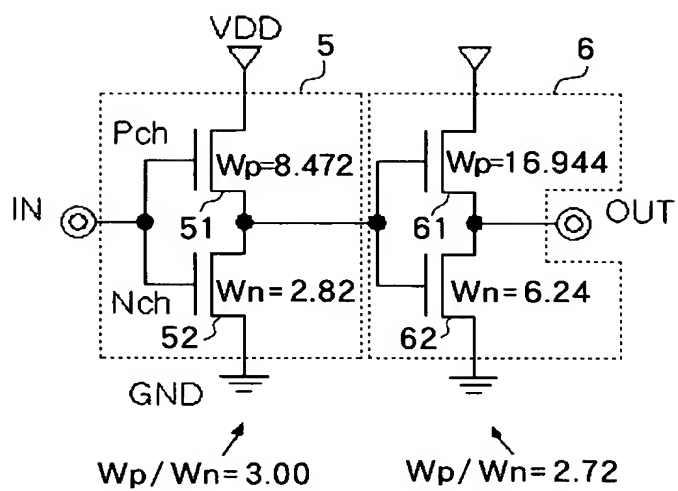
【図 5】



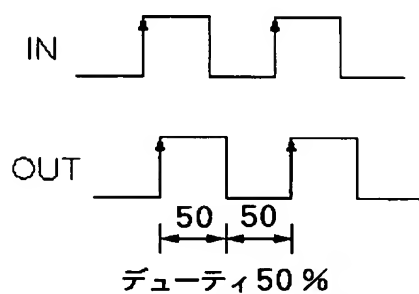
【図 6】



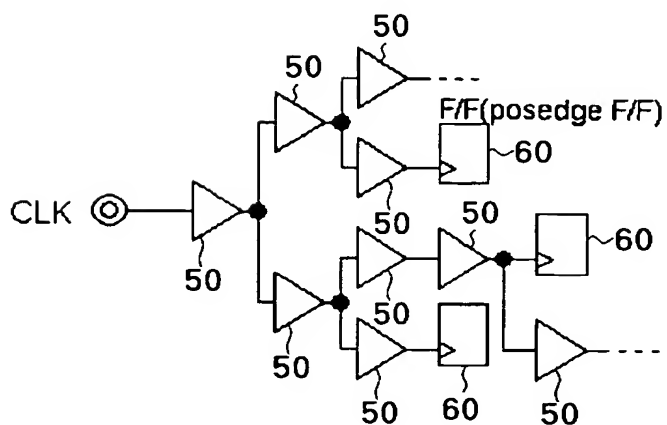
【図 7】



【図 8】



【图 9】





【書類名】 要約書

【要約】

【課題】 クロックツリーシンセシスに流れる充放電電流を低減して回路全体の消費電流を低減した半導体集積回路装置を提供する。

【解決手段】 基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路と、クロック同期式回路に基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、クロックバッファ回路は、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第 1 のトランジスタ、及び基準クロックの他方のエッジで負荷をドライブする、キャリアの種類が第 1 のトランジスタと異なる、第 1 のトランジスタよりも大きなゲート幅で形成された第 2 のトランジスタを備えたインバータを有する構成とする。

【選択図】 図 1

【書類名】 手続補正書

【整理番号】 71110563

【提出日】 平成15年 2月20日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 39623

【補正をする者】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【手続補正 1】**【補正対象書類名】** 特許願**【補正対象項目名】** 発明者**【補正方法】** 変更**【補正の内容】****【発明者】****【住所又は居所】** 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内**【氏名】** 本田 孝夫**【その他】** 本特許出願にあたり、代理人が願書を作成する際に、NECエレクトロニクス株式会社の発明者「本田 孝夫」の住所又は居所を「神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内」と記載すべきところを誤って、「東京都港区芝五丁目 7 番 1 号 日本電気株式会社内」と記載してしまいました。**【プルーフの要否】** 要

特願 2 0 0 3 - 0 3 9 6 2 3

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社